



1

## 【特許請求の範囲】

【請求項1】 擬似SRAM用のメモリセルアレイと、前記メモリセルアレイのロウアドレスを指定するロウアドレス信号の遷移およびカラムアドレスを指定するカラムアドレス信号の遷移をそれぞれ検知するアドレス遷移検知回路と、

前記アドレス遷移検知回路による検知信号のみに基づいて前記メモリセルアレイに対するロウアクセスに必要な所望の長さの内部回路制御信号を発生し、この内部回路制御信号に基づいて前記メモリセルアレイに対するロウアクセスおよびカラムアクセスを制御する制御回路とを具備することを特徴とする半導体集積回路。

【請求項2】 擬似SRAM用のメモリセルアレイと、前記メモリセルアレイのロウアドレスを指定するロウアドレス信号の遷移およびカラムアドレスを指定するカラムアドレス信号の遷移をそれぞれ検知する第1のアドレス遷移検知回路と、

前記カラムアドレスのみの遷移を検知する第2のアドレス遷移検知回路と、

前記第1のアドレス遷移検知回路による検知信号のみに基づいて前記メモリセルアレイに対するロウアクセスに必要な所望の長さの内部回路制御信号を発生し、この内部回路制御信号に基づいて前記メモリセルアレイに対するロウアクセスを制御し、前記第2のアドレス遷移検知回路による検知信号のみに基づいて前記メモリセルアレイに対するカラムアクセスに必要な所望の長さのカラム系回路制御信号を発生し、このカラム系回路制御信号に基づいて前記メモリセルアレイに対するカラムアクセスを制御する制御回路と、

前記ロウアクセスとカラムアクセスのどちらを行うかを判定し、判定結果に応じてアクセス制御を行うモード判定回路とを具備することを特徴とする半導体集積回路。

【請求項3】 前記第1のアドレス遷移検知回路による検知信号に基づいて発生される内部回路制御信号は、前記第2のアドレス遷移検知回路による検知信号に基づいて発生されるカラム系回路制御信号よりも長い周期を有することを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記ロウアクセスを行う時は、前記第1のアドレス遷移検知回路および第2のアドレス遷移検知回路のうちで第1のアドレス遷移検知回路のみ活性化し、前記カラムアクセスを行う時は、前記第1のアドレス遷移検知回路および第2のアドレス遷移検知回路のうちで第2のアドレス遷移検知回路のみ活性化することを特徴とする請求項2記載の半導体集積回路。

【請求項5】 前記モード判定回路は、基準時間を生成する手段を具備し、前記第1のアドレス遷移検知回路による検知信号および前記第2のアドレス遷移検知回路による検知信号が入力し、アドレス遷移の間隔に対応する検知信号の入力間隔を前記基準時間と比較してロウアクセスを行うモードかカラムアクセスを行うモードかを判

2

定し、カラムアクセスを行うモードと判定した場合は、アクセス終了まで前記内部回路制御信号を活性化状態にし、アドレスの遷移の間隔が所定時間より長い場合はアクセス終了と判定して待機状態に入るように制御することを特徴とする請求項2記載の半導体集積回路。

【請求項6】 前記モード判定回路は、基準時間を生成する手段と、パルスを計数する手段とを具備し、前記第1のアドレス遷移検知回路による検知信号および前記第2のアドレス遷移検知回路による検知信号が入力し、基準時間内に発生する第2のアドレス遷移検知回路によるパルスの数が2個以上の場合とそれ以下の場合でロウアクセスを行うモードかカラムアクセスを行うモードかを判定することを特徴とする請求項2記載の半導体集積回路。

【請求項7】 前記モード判定回路は、外部からのモードコマンド入力を検知する手段を具備し、前記擬似SRAMの動作開始前あるいは動作中にロウアクセスかカラムアクセスかを指定するためのモードコマンドが外部から入力することによってモード判定を行うことを特徴とする請求項2記載の半導体集積回路。

【請求項8】 前記モード判定回路は、外部から入力するチップイネーブル信号を優先的に検知して前記擬似SRAMを同期動作させるように制御することを特徴とする請求項2記載の半導体集積回路。

【請求項9】 前記メモリセルアレイにダイナミック型メモリセルのアレイが用いられていることを特徴とする請求項1乃至8のいずれか1項に記載の半導体集積回路。

【請求項10】 前記メモリセルアレイに強誘電体メモリセルのアレイが用いられていることを特徴とする請求項1乃至8のいずれか1項に記載の半導体集積回路。

【請求項11】 前記強誘電体メモリセルに接続されているワード線の電位およびプレート線の電位が前記第1のアドレス遷移検知回路による検知出力に基づいて発生される内部回路制御信号により制御されることを特徴とする請求項10記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に係り、特にメモリコア部にDRAM（ダイナミック型メモリ）あるいはFeRAM（強誘電体メモリ）を用いる擬似SRAM（スタティック型メモリ）を搭載した半導体集積回路に関する。

## 【0002】

【従来の技術】既存のSRAMと使用上の互換性を保ちつつ、集積度を高めるために、メモリコア部にDRAMあるいはFeRAMを用いた擬似SRAMが製品化されている。従来の擬似SRAMは、外部入力信号、例えば/CE（チップイネーブル）信号から内部で時系列的に生成されたクロック信号により内部の動作を制御する同期型が主流である。

3

【0003】近年、携帯電話向けに擬似SRAMの需要が高まっており、外部入力信号に対して非同期でも動作する非同期型の要求が高まっているが、外部入力信号に対して非同期に動作させることに対応できなかった。

【0004】また、擬似SRAMのメモリアレイにDRAMを用いる場合は、/RAS（ロウアドレスストロブ）信号に続くロウアドレスで選択された行の各メモリセルを、カラムアドレス信号により順にアクセスするスタティックカラムモードなどの高速動作モードを持たせる場合が多い。

【0005】しかし、従来の擬似SRAMは、メモリアレイの高速動作モードを列アドレス信号に対して非同期で実行させることにも対応できなかった。

【0006】

【発明が解決しようとする課題】上記したように従来の擬似SRAMは、外部入力信号に対して非同期で動作させることができず、メモリアレイのDRAMの高速動作モードを非同期で実行することができないという問題があった。

【0007】本発明は上記の問題点を解決すべくなされたもので、内蔵する擬似SRAMを外部入力信号に対して非同期で動作させ、さらに、高速動作モードを非同期で実行させることも可能になる半導体集積回路を提供することを目的とする。

【0008】また、本発明は、外部入力信号に対して選択的に同期あるいは非同期で動作させることが可能になる半導体集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の第1の半導体集積回路は、擬似SRAM用のメモリセルアレイと、前記メモリセルアレイのロウアドレスを指定するロウアドレス信号の遷移およびカラムアドレスを指定するカラムアドレス信号の遷移をそれぞれ検知するアドレス遷移検知回路と、前記アドレス遷移検知回路による検知信号のみに基づいて前記メモリセルアレイに対するロウアクセスに必要な所望の長さの内部回路制御信号を発生し、この内部回路制御信号に基づいて前記メモリセルアレイに対するロウアクセスおよびカラムアクセスを制御する制御回路とを具備することを特徴とする。

【0010】本発明の第2の半導体集積回路は、擬似SRAM用のメモリセルアレイと、前記メモリセルアレイのロウアドレスを指定するロウアドレス信号の遷移およびカラムアドレスを指定するカラムアドレス信号の遷移をそれぞれ検知する第1のアドレス遷移検知回路と、前記カラムアドレスのみの遷移を検知する第2のアドレス遷移検知回路と、前記第1のアドレス遷移検知回路による検知信号のみに基づいて前記メモリセルアレイに対するロウアクセスに必要な所望の長さの内部回路制御信号を発生し、この内部回路制御信号に基づいて前記メモリセルアレイに対するロウアクセスを制御し、前記第2のアドレス遷移検知回路による検知信号のみに基づいて前記メ

4

モリセルアレイに対するカラムアクセスに必要な所望の長さのカラム系回路制御信号を発生し、このカラム系回路制御信号に基づいて前記メモリセルアレイに対するカラムアクセスを制御する制御回路と、前記ロウアクセスとカラムアクセスのどちらを行うかを判定し、判定結果に応じてアクセス制御を行うモード判定回路とを具備することを特徴とする。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0012】＜第1の実施形態＞図1は、本発明の半導体集積回路に内蔵される第1の実施形態に係る擬似SRAMの一部を示している。

【0013】1はメモリセルアレイ、5は外部から前記メモリセルアレイ1のロウアドレスを指定するためのロウアドレス信号Adrが入力するロウアドレスバッファ回路、6は外部から前記メモリセルアレイ1のカラムアドレスを指定するためのカラムアドレス信号Adcが入力するカラムアドレスバッファ回路、8はロウ系回路、9はカラム系回路である。

【0014】ロウ・カラム系ATD（アドレス遷移）回路7は、前記ロウアドレス信号の遷移およびカラムアドレス信号の遷移をそれぞれ検知し、ATD信号を生成する。

【0015】内部回路制御信号発生回路4は、外部から入力する/CE信号および前記ATD信号が入力し、/CE信号が活性状態になっている状態でATD信号のみに基づいて内部回路制御信号を発生し、前記ロウアドレスバッファ回路5、カラムアドレスバッファ回路6、ロウ系回路8およびカラム系回路9に供給するものである。この場合、メモリセルアレイ1に対するロウアクセスに必要な所望の長さの内部回路制御信号を発生し、この内部回路制御信号に基づいてメモリセルアレイ1に対するロウアクセスおよびカラムアクセスを制御する。

【0016】なお、従来のDRAMなどにスタティックカラムモードなどの高速モードを可能にするために設けられているATD回路は、カラムアドレスの遷移のみ検知し、カラムの高速アクセスを可能にする短い時間幅（例えば5ns程度）のATDパルス信号を出力するものであった。

【0017】これに対して、本実施形態のロウ・カラム系ATD回路7は、カラムアドレス信号の遷移のみでなく、ロウアドレス信号の遷移も検知し、しかも、ロウアクセスに必要な長い時間幅（例えば100ns程度）のATD信号を出力する。

【0018】上記したようにロウアクセスに必要な時間が長い理由は、次の通りである。即ち、メモリのロウ系の例えば読み出し動作は、ロウアドレスをラッチし、アドレスに基づくワード線を選択してメモリセルのデータをビット線に読み出し、ビット線に生じた微小電位をセンスアンプでセンス増幅してビット線の電位の決着を付けるという一連の動作を行うからである。

5

【0019】図2は、図1の擬似SRAMの動作例を示すタイミング図である。

【0020】/CE 信号が活性レベル“L”になっている状態で、ロウアドレス信号あるいはカラムアドレス信号が遷移するとATD 信号が生成される。そして、このATD 信号に基づいて内部回路制御信号が生成され、この制御信号に基づいてロウ系回路8 およびカラム系回路9 が制御され、擬似SRAMの読み出し／書き込み動作が行われる。この場合、内部回路制御信号の活性期間が擬似SRAMのアクティブ動作期間、内部回路制御信号の非活性期間が擬似SRAMのプリチャージ動作に対応する。

【0021】したがって、上記第1の実施形態に係る擬似SRAMによれば、外部からの同期信号を使うことなく、アドレス信号の遷移のみに基づいて制御可能な非同期動作を実現することができる。

【0022】＜第2の実施形態＞メモリのロウ系とカラム系は、それぞれの役割が違い、それぞれの動作に必要な時間が異なる。即ち、ロウ系回路は、前述したように、ロウアドレスをラッチし、ロウアドレスに基づくワード線を選択してメモセルのデータをビット線に読み出し、ビット線に生じた微小電位をセンスアンプでセンス増幅してビット線の電位の決着を付けるという一連の動作を行うもので、動作時間が長い。

【0023】これに対して、カラム系回路は、カラムアドレスをラッチし、カラムアドレスに基づくカラムセレクト線を選択してビット線電位をデータ線（DQ線）に出力し、DQ線の電位をセンスアンプでセンス増幅してリード・ライト線（RW線）の電位の決着をつけ、出力バッファ回路からデータを出力するという一連の動作を行うもので、動作時間が短くて済む。

【0024】しかし、第1の実施形態に係る擬似SRAMでは、ロウアドレス信号の遷移あるいはカラムアドレス信号の遷移のどちらに対しても1つのロウ・カラム系ATD回路7のATD 信号によってロウ系回路8あるいはカラム系回路9の動作を制御させている。つまり、速く動作可能なカラム系よりも動作が遅いロウ系に合わせてATD信号の時間設定をしなければならないので、カラム系の動作に時間的な無駄が発生し、カラムの高速アクセス動作に対応できなかった。

【0025】この点を改善し、ロウ・カラムアクセス用のロウ・カラム系ATD 回路とカラムアクセス用のカラム系ATD 回路とを分離し、カラムの高速アクセス動作にも対応できるようにした第2の実施形態について以下に説明する。

【0026】図3は、本発明の第2の実施形態に係る擬似SRAMの一部を示している。

【0027】図3において、10はメモセルアレイ、14は内部回路制御信号発生回路、15はロウアドレスバッファ回路、16はカラムアドレスバッファ回路、17はロウ・カラム系ATD 回路、18はロウ系回路、19はカラム系回

6

路、20はカラム系ATD 回路、21はモード判定回路である。

【0028】この擬似SRAMは、図1に示した擬似SRAMと比べて、（1）カラムアドレス信号の遷移を検知してカラム系回路19の動作に必要な短い時間のATD 信号を発生するカラム系ATD 回路20が付加されている点、（2）内部回路制御信号発生回路4の構成が変更された内部回路制御信号発生回路14が用いられている点、（3）完全な非同期動作に対応するために、ロウアクセスとカラムアクセスのどちらのモードを優先するか決定するモード判定回路21が付加されている点が異なり、その他は同じである。

【0029】ここで、図3中のモード判定回路21により擬似SRAMのロウアクセスとカラムアクセスのモード判定を必要とする理由を説明する。

【0030】ロウアクセスとカラムアクセスの動作は、ワード線選択までは同じであるが、その後の動作が異なる。即ち、ロウアクセスでは、ロウ・カラム系ATD 信号に基づいて内部回路制御信号が生成されてからある一定時間（内部遅延）後に自動的に待機動作（プリチャージサイクル）に入り、カラムアクセスでは、アクセス期間中は待機動作に入らないようにし、アクセスの終了を自動検知して待機状態にする必要がある。

【0031】そこで、内部回路制御信号発生回路14は、外部から入力する/CE 信号およびロウ・カラム系のATD回路17による検知出力（第1のATD 信号）のほかに、カラム系ATD 回路20による検知出力（第2のATD 信号）が入力し、/CE 信号が活性状態になっている状態でATD 信号のみに基づいて内部回路制御信号を生成するものである。この場合、モード判定結果に応じてメモセルアレイ10に対するロウアクセスに必要な長い時間の内部回路制御信号あるいはカラムアクセスに必要な短い時間の内部回路制御信号を発生し、この内部回路制御信号に基づいてメモセルアレイ10に対するロウアクセスおよびカラムアクセスを制御する。

【0032】前記モード判定回路21の一例として、ロウ・カラム系の第1のATD 信号およびカラム系の第2のATD 信号が入力し、擬似SRAMの内部回路で遷移したアドレス信号がロウアドレス信号、カラムアドレス信号のどちらであるかの情報と連続する2つのアドレス遷移間の時間を自動的に検知し、その結果に基づいて優先モードを決定するように構成される。

【0033】前記モード判定回路21の他の例として、外部からのモードコマンド入力を検知する手段を具備し、ロウアクセスとカラムアクセスのどちらのモードを優先するかを指定するコマンドが、擬似SRAMの動作開始前あるいは動作中に外部からユーザーによって与えられることによって優先モードを決定するように構成することが可能である。

【0034】図4は、図3中のモード判定回路21の構成

7

の一例を示す。図5 (A) および (B) は、図3中のモード判定回路21の動作例を示すタイミング図である。

【0035】このモード判定回路21は、内部で自動的にモードを判定する回路22と外部からのモードコマンド入力でモードを判定する回路23から構成される。

【0036】自動的にモードを判定する回路22は、アドレス遷移間の時間を自動的に検知することが可能であり、例えば時間比較回路24を具備し、これは内部で基準時間 $t_1$ を生成する手段（例えばサイクル時間程度の遅延時間を有する遅延線）を具備したものであってもよいし、第1のATD信号のパルス幅を基準時間 $t_1$ としたものであってもよい。

【0037】第1のATD信号ATD1および第2のATD信号ATD2が入力したノアゲートを経した第3のATD信号ATD3のパルス間隔（アドレス遷移間の時間） $t_2$ を前記基準時間 $t_1$ と比較する。そして、基準時間 $t_1$ より短い時はカラムアクセスを行うモードと判定し、CA信号を“1”とし、それ以外の時はロウアクセスを行うモードと判定し、CA信号を“0”とする。そして、カラムアクセスを行うモードと判定した場合は、アクセス終了まで内部回路制御信号を活性化状態にし、アドレス遷移間隔が所定時間より長い場合はアクセス終了と判定して待機状態に入るように制御するように構成されている。

【0038】また、前記時間比較回路24は、カウンタを具備し所定時間内の第3のATD信号ATD3のパルスが2個以上の場合はカラムアクセスを行うモード、それ以外の時はロウアクセスを行うモードと判定するものであってもよい。

【0039】また、図4中の外部からのモードコマンド入力でモードを判定する回路23は、外部からのモードコマンド入力を検知することが可能であり、予め設けられたモード信号端子あるいは特定のアドレス端子から入力するモード選択信号SCが、例えば“0”の時はロウアクセス、“1”の時はカラムアクセスと判定し、この判定結果に対応して前記CA信号を“0”あるいは“1”とするように構成されている。

【0040】なお、カラムアクセスを選択する場合は、カラムアクセスの開始と終了についてそれぞれコマンドが入力する。この理由は、前述したように、ワード線選択まではロウアクセスもカラムアクセスも同じ動作であるが、ロウアクセスでは、ロウ・カラム系ATD信号に基づいて内部回路制御信号が生成されてからある一定時間（内部遅延）後に自動的に待機動作に入るが、カラムアクセスでは、アクセス期間中は待機動作に入らないようにし、アクセスの終了を自動検知して待機状態にする必要があるからである。

【0041】また、前記モード判定回路として、アドレス遷移間の時間を自動的に検知する方式と外部からのモードコマンド入力を検知する方式とをチップ毎に予め選択的に設定可能なように構成することも可能である。

8

【0042】図6 (A) および (B) は、それぞれ対応して図3中のロウ・カラム系ATD回路17およびカラム系ATD回路20の一具体例を示す。

【0043】図7 (A) および (B) は、それぞれ対応して図6 (A) のロウ・カラム系ATD回路、図6 (B) のカラム系ATD回路の動作例を示すタイミング図である。

【0044】図6 (A) に示すロウ・カラム系ATD回路は、第1のノアゲート部61と、この第1のノアゲート部の出力信号を比較的長い時間遅延させる第1の遅延回路62と、この第1の遅延回路62の出力信号と第1のノアゲート部61の出力信号が入力する第1のナンドゲート63とインバータ回路63aからなる。

【0045】上記第1のノアゲート部61は、電源電位(VCC)ノードにソースが接続され、ゲートが接地電位(VSS)ノードに接続された常にオン状態のPMOSトランジスタQPと、このPMOSトランジスタQPのドレイン（ノードATa）とVSSノードとの間で互いに並列に接続され、アドレスバッファ回路（図示せず）の出力信号Ad1、BA1、Ad2、BA2および上記各出力信号と逆相の遅延された遅延信号dAd1、dBA1、dAd2、dBA2の各一対が入力する2個のNMOSトランジスタが直列接続された4組のゲート回路とから構成される。

【0046】上記第1のノアゲート部61のノードATaは、常にオン状態のPMOSトランジスタQPにより“H”に充電されており、アドレス入力が遷移すると、NMOSトランジスタが2個直列に接続された4組のNMOSトランジスタのどれかの組がある時間オン状態となり、その間はノードATaが“L”となる（パルス信号が発生する）。

【0047】このパルス信号が第1の遅延回路62と第1のナンドゲート63とインバータ回路63aで所望のパルス幅を持つように波形整形されてロウ・カラム系のATD信号ATD1が発生する。

【0048】図6 (B) に示すカラム系ATD回路20は、第2のノアゲート部64と、この第2のノアゲート部64の出力信号を比較的短い時間遅延させる第2の遅延回路65と、この第2の遅延回路65の出力信号と第2のノアゲート部64の出力信号が入力する第2のナンドゲート66とインバータ回路66aからなる。

【0049】上記第2のノアゲート部64は、VCCノードにソースが接続され、ゲートがVSSノードに接続された常にオン状態のPMOSトランジスタQPと、このPMOSトランジスタQPのドレイン（ノードATb）とVSSノードとの間で互いに並列に接続され、アドレスバッファ回路（図示せず）の出力信号Ad3、BA3、Ad4、BA4および上記各出力信号と逆相の遅延された遅延信号dAd3、dBA3、dAd4、dBA4の各一対が入力する2個のNMOSトランジスタが直列接続された4組のゲート回路とから構成される。

【0050】上記第2のノアゲート部64のノードATbは、常にオン状態のPMOSトランジスタQPにより“H”に充

9

電されており、アドレス入力が遷移すると、NMOSトランジスタが2個直列に接続された4組のNMOSトランジスタのどれかの組がある時間オン状態となり、その間は前記ノードATbが“L”となる（パルス信号が発生する）。

【0051】このパルス信号が第2の遅延回路65と第2のナンドゲート66とインバータ回路66aで所望のパルス幅を持つように波形整形されてカラム系のATD信号ATD2が発生する。

【0052】なお、図3中のロウ・カラム系ATD回路17およびカラム系ATD回路20の構成は、図6（A）および（B）に示した構成例に限定されるものではなく、アドレス遷移を検知して所定時間パルスが発生するものであればよい。

【0053】図8（A）は図3の擬似SRAMのロウアクセスの動作例、図8（B）は図3の擬似SRAMのカラムアクセスの動作例を示すタイミング図である。

【0054】図8（A）に示すロウアクセスの時は、/CE信号が活性レベル“L”になっている状態で、ロウアドレスの遷移をロウ・カラム系ATD回路17で検知してロウ・カラム系ATD信号が活性化（“L”）する。このロウ・カラム系ATD信号に基づいて内部回路制御信号が生成され、この制御信号に同期してロウ系回路18およびカラム系回路19が制御される。

【0055】この場合、ロウアドレス遷移から次のアドレス遷移までの時間が長い（サイクル時間以上）ので、モード判定回路21の自動的な検知によりロウアクセスと判断され、サイクル時間（例えば100nS）で1サイクルの動作が行われる。この際、ロウ・カラム系ATD回路17のみの動作を優先させて内部回路制御信号に同期して内部動作（第1の実施形態と同様の動作）を行わせ、カラム系ATD回路20の動作を停止させて無駄な動作を防ぐことが望ましい。

【0056】上記したようにロウ・カラム系ATD信号に基づいて内部回路制御信号が生成され、この制御信号に同期してロウ系回路18およびカラム系回路19が制御されるので、外部からの同期信号を使うことなく、アドレス遷移のみで制御可能な非同期動作を実現することができる。

【0057】図8（B）に示すカラムアクセスの時は、/CE信号が活性レベル“L”になっている状態で、ロウアドレスの遷移をロウ・カラム系ATD回路17で検知してロウ・カラム系ATD信号が活性化（“L”）した後、次のアドレス遷移（カラムアドレス遷移）によりカラム系ATD信号が活性化（“L”）する。この場合には、ロウアドレス遷移から次のアドレス遷移までの時間が短い（サイクル時間以下）ので、モード判定回路21の自動的な検知によりカラムアクセスと判断され、カラムアクセス動作が行われる。これにより、短いカラム系ATD信号によりカラム系回路19を制御し、従来のスタティックカラムモードと同様に高速でデータを読み出す動作が可能になる。この

10

際、カラム系ATD回路20の動作を優先させ、ロウ・カラム系ATD回路17の動作を停止させて無駄な動作を防ぐことが望ましい。

【0058】そして、カラムアドレス遷移と次のアドレス遷移との間隔が所定時間より長くなったことがモード判定回路21により検知されると、カラムアクセス終了と判断され、待機動作に入る。この時、内部制御信号は、カラムアクセス終了まで“L”（活性状態）のままに制御される。

【0059】なお、電源投入後の最初のアクセスについては、モード判定回路21はロウアクセスと判断するように構成されている。この理由は、ワード線が選択されるまではカラムアクセスはできないからである。また、カラムアクセスの開始は、内部制御信号が待機状態になる前に行う必要があり、内部制御信号が待機状態に一旦入るとカラムアクセスは禁止される。この理由は、待機状態では選択されたワード線を閉じてしまい、データを読み出すことができなくなるからである。

【0060】上記第2の実施形態に係る擬似SRAMによれば、第1の実施形態に係る擬似SRAMと同様に、外部からの同期信号を使うことなく、アドレス遷移のみで制御可能な非同期動作を実現することができる。

【0061】しかも、二系統のATD回路17、20およびモード判定回路21を用いることにより、ロウ系、カラム系のそれぞれで最適な時間設定が可能となり、ロウアクセスをサイクル時間で回すことも可能であり、且つ、従来からのスタティックカラムモードといった高速動作モードにも対応可能となった。

【0062】＜第3の実施形態＞前記第1の実施形態および第2の実施形態の擬似SRAMにおいては、アドレス遷移のみで制御可能な非同期動作を実現したが、さらに、/CE信号と同期した同期動作をチップ毎に選択的に設定可能とし、従来の擬似SRAMとの上位互換性を確保するようにした第3の実施形態について、以下に説明する。

【0063】図9（A）および（B）は、本発明の第3の実施形態に係る擬似SRAMのロウアクセスの動作例およびカラムアクセスの動作例を示すタイミング図である。

【0064】図9（A）および（B）に示す動作は、図8（A）および（B）を参照して前述した第2の実施形態の擬似SRAMのロウアクセスの動作例およびカラムアクセスの動作例と比べて、/CE信号に同期した動作も可能となっている点異なり、その他は同じである。

【0065】第3の実施形態の擬似SRAMに設けられるモード判定回路は、第2の実施形態の擬似SRAMのモード判定回路21によるアドレス遷移検知出力に同期して制御する機能に加えて、/CE信号入力に同期して制御する機能と、上記2つの機能をチップ毎に選択的に設定可能な機能が付加されている。この場合、常に/CE信号入力に同期して制御する機能を優先させることも可能である。

【0066】図10（A）は、セット信号S入力がリセ

11

ット信号R 入力より優先されるセット優先型のR-S フリップフロップ回路の構成および真理値テーブルを示す。

【0067】図10(B)は、第3の実施形態に係る擬似SRAMに設けられるモード判定回路の構成の一例を示しており、図10(A)のセット優先型のR-S フリップフロップ回路を使用している。

【0068】このモード判定回路は、同期用ロジック回路30と、非同期用ロジック回路31と、同期コマンド信号SYおよび非同期コマンド信号/SYによりスイッチ制御されて前記同期用ロジック回路30の出力および非同期用ロジック回路31の出力を切換選択して内部回路制御信号として出力する2個のNMOSFET 33、34とからなる。

【0069】上記同期用ロジック回路30は、図10(A)のセット優先型のR-S フリップフロップ回路のセット信号Sとして/CE 信号が入力し、リセット信号Rとして図5(A)に示したロウ・カラム系ATDパルス信号ATD1が入力する/CE 優先型のフリップフロップ回路からなる。

【0070】前記非同期用ロジック回路31は、図10(A)のセット優先型のR-S フリップフロップ回路のセット信号Sとして図6(A)中に示したロウ・カラム系ATDパルス信号ATD1が入力し、リセット信号Rとして/CE 信号が入力するATD1優先型のフリップフロップ回路からなる。

【0071】図10(B)に示したモード判定回路の動作は、同期モードの場合は、同期コマンド信号SY="H"によって同期用ロジック回路30の出力を選択することにより、/CE 信号と同期した内部回路制御信号を発生する。非同期モードの場合は、非同期コマンド信号/SY="H"によって非同期用ロジック回路31の出力を選択することにより、ロウ・カラム系ATDパルス信号ATD1と同期した内部回路制御信号を発生する。

【0072】このような動作により、図9(A)および(B)に示すように、/CE 信号の立ち下がりに同期して活性化動作を開始し、/CE 信号の立ち上がりに同期して待機状態に入るといった同期動作も可能となる。

【0073】図10(C)は、図10(B)に示すモード判定回路の変形例を示しており、図10(A)のセット優先型のR-S フリップフロップ回路を使用している。

【0074】図10(C)のモード判定回路は、図10(B)に示したモード判定回路と比べて、同期用ロジック回路30に代えて、同期コマンド信号SYによりスイッチ制御されるNMOSFETにより/CE 信号入力を直接に選択する同期用ロジック回路40が用いられている点が異なり、その他は同じである。

【0075】＜第4の実施形態＞上記第1～第3の実施形態の擬似SRAMにおいて、例えば図11(A)に示すような1トランジスタ・1キャパシタ構造を持つDRAMセルをメモリコア部に用いる場合には、図11(B)に示すように、セルキャパシタの一端側に接続されているビツ

12

ット線BLのプリチャージ電圧およびセルキャパシタの他端側に接続されているプレート線PLの電位が電源電圧VCCの1/2に設定された状態でワード線WLが選択される。

【0076】これに対して、例えば1トランジスタ・1キャパシタ構造を持ち、プレート線の電位がパルス駆動されるFRAMセルをメモリコア部に用いた擬似SRAMについて、第4の実施形態で説明する。

【0077】図12(A)、(B)は、1トランジスタ・1キャパシタ構造を持つFeRAMセルの等価回路および動作波形を示している。このFeRAMセルのセルキャパシタの絶縁膜として、強誘電体材料、例えばチタン酸ジルコン酸鉛(PbZrTiO<sub>3</sub>;PZT)が用いられる。

【0078】図13は、図12(A)のFeRAMセルのセルキャパシタの印加電圧と残留分極との関係(ヒステリシス特性)の一例を示している。

【0079】まず、図12(A)、(B)および図13を参照して、公知のFeRAMセルの構成およびデータの書き込み/読み出し/再書き込み動作について簡単に説明する。

【0080】FeRAMセルに対するデータの書き込み動作は、ワード線WLを選択した状態で、プレート線PLを接地電位("L"レベル)からある電位("H"レベル)までパルス駆動した後に"L"レベルまで戻すことにより、ビット線のデータを書き込むことが可能になる。

【0081】FeRAMセルに対する記憶データの読み出し動作は、ワード線WLを選択した状態で、プレート線PLを"L"レベルから"H"レベルまでパルス駆動することにより電荷をビット線BLに読み出すことが可能になる。

【0082】即ち、図12(A)のFeRAMセルのセルキャパシタは、両端間に電圧が印加されていない状態では、図13中に"0"と示した上向きの分極状態、あるいは、図13中に"1"と示した下向きの分極状態のいずれかとなっている。

【0083】そして、プレート線PL側にビット線BL側よりも高い電圧が印加された場合に、それ以前の状態が例えば分極状態"1"であれば分極は反転しないが、分極状態"0"であれば分極が反転する。

【0084】セルキャパシタの両端間に同じ電圧を印加するのに必要な電荷量、換言すると、セルキャパシタの一端(プレート線側)に一定の電圧を印加した時にセルキャパシタの他端(ビット線側)に発生する電荷量は、分極状態が"0"と"1"とで異なるので、この差を検知することによりデータを読み出すことが可能になる。このようなFeRAMセルのデータの読み出しは破壊読み出しであり、読み出し動作を行った後に必ず再書き込み動作を行う必要がある。

【0085】図12(A)のFeRAMセルに対するデータの再書き込み動作は、図12(B)に示すように、読み出しデータが"0"の場合は、読み出し時にセンスアンプでセンス増幅した時にデータ"0"の書き込み動作が行わ

13

れるが、読み出しデータが“1”の場合は、プレート線PLを“H”レベルから“L”レベルに戻してからデータ“1”の書き込み動作を開始する。

【0086】図14および図15は、本発明の第4の実施形態に係る擬似SRAMのロウアクセスの動作例およびカラムアクセスの動作例を示すタイミング図である。

【0087】なお、同期式FeRAMでは、/CE信号に基づいて内部回路が動作しており、例えば/CE信号が“H”レベルになっている待機動作中に、プレート線を“H”レベルから“L”レベルに戻してからデータ“1”の書き込み動作を開始していたが、非同期動作では再書き込みが不可能となる。

【0088】これに対して、第4の実施形態に係る擬似SRAMでは、図14および図15に示すように、/CE信号が活性レベル“L”になっている状態で、ロウアドレスあるいはカラムアドレスの遷移がロウ・カラム系ATD回路で検知されて内部回路制御信号が生成され、この制御信号によりFeRAMセルに接続されているワード線WLの電位およびプレート線PLの電位が制御される。

【0089】この内部回路制御信号の活性時にはワード線WLが選択された後にプレート線PLが所定電位まで立ち上げられ、上制御信号の非活性時にはプレート線PLの電位が立ち下げられた後にワード線WLの選択が停止される。

【0090】この場合、ロウ系回路の動作の最後に活性化される例えばセンスアンプ制御信号からある遅延時間の後、プレート線PLを“H”レベルから“L”レベルに戻してからデータ“1”の書き込み動作を開始し、その後にワード線WLを閉じる。

【0091】この際、カラムアドレスの遷移のみで高速動作するスタティックカラムモードなどの動作を行う場合は、動作終了までプレート線PLを“H”レベルに保持しておかなければならない。そこで、第2の実施形態に係る擬似SRAMと同様にロウアクセスとカラムアクセスのどちらを優先するか決定するためのモード判定回路を備えている。

【0092】＜第4の実施形態の変形例＞前記第4の実施形態では、1トランジスタ・1キャパシタ構造を持つFeRAMセルが単独でビット線BLおよびプレート線PLに接続されているFeRAMセルのアレイをメモリコア部に用いた擬似SRAMについて説明したが、その変形例として、公知のTC並列ユニット直列接続型FeRAMセルを1ユニットとしてビット線BLおよびプレート線PLに接続されているアレイをメモリコア部に用いた擬似SRAMにも適用可能である。

【0093】図16(A)、(B)は、TC並列ユニット直列接続型FeRAMセルの1ユニット分の等価回路およびその動作波形を示している。

【0094】図16(A)に示すTC並列ユニット直列接続型FeRAMセルの1ユニット分は、セルトランジスタT

14

と強誘電体セルキャパシタCが並列接続されたFeRAMセルの複数個(本例では4個)と1個のユニット選択トランジスタSTが直列に接続されたものである。そして、各FeRAMセルのセルトランジスタTのゲートは別々のワード線WL0～WL3に接続され、ユニット選択トランジスタのゲートはユニット選択線BSに接続されている。

【0095】前記ワード線WL0～WL3は、選択セルに対応する1本以外は“H”レベルに設定され、これに対応するセルトランジスタTがオン状態に制御される。そして、選択セルに対応する1本のみ“L”レベルに設定され、これに対応するセルトランジスタTがオフ状態に制御され、選択セルのセルキャパシタCの各一端がビット線BLおよびプレート線PLに接続されることになる。

【0096】

【発明の効果】上述したように本発明の擬似SRAMを内蔵した半導体集積回路によれば、従来は対応できなかった非同期動作を行うことができ、しかも、高速なカラムアクセスにも非同期で対応することが可能になった。

【図面の簡単な説明】

【図1】本発明の半導体集積回路に内蔵される第1の実施形態に係る擬似SRAMの一部を示すブロック図。

【図2】図1の擬似SRAMの動作例を示すタイミング図。

【図3】本発明の第2の実施形態に係る擬似SRAMの一部を示すブロック図。

【図4】図3中のモード判定回路の構成の一例を示すブロック図。

【図5】図4のモード判定回路の動作例を示すタイミング図。

【図6】図3中のロウ・カラム系ATD回路およびカラム系ATD回路の一具体例を示す回路図。

【図7】図6中のロウ・カラム系ATD回路およびカラム系ATD回路の動作例を示すタイミング図。

【図8】図3の擬似SRAMのロウアクセスおよびカラムアクセスの動作例を示すタイミング図。

【図9】本発明の第3の実施形態に係る擬似SRAMのロウアクセスの動作例およびカラムアクセスの動作例を示すタイミング図。

【図10】第3の実施形態に係る擬似SRAMに設けられるモード判定回路に使用されるセット優先型のR-Sフリップフロップ回路の構成および真理値テーブル、モード判定回路の構成の一例および変形例を示す図。

【図11】第1～第3の実施形態の擬似SRAMにおいてメモリコア部に1トランジスタ・1キャパシタ構造を持つDRAMセルが用いられている場合のDRAMセルの等価回路および動作例を示す図。

【図12】本発明の第4の実施形態に係る擬似SRAMのメモリコア部に用いられている1トランジスタ・1キャパシタ構造を持つFeRAMセルの等価回路および動作波形を示す図。

【図13】図12のFeRAMセルのセルキャパシタの印加



15

電圧と残留分極との関係（ヒステリシス特性）の一例を示す図。

【図14】本発明の第4の実施形態に係る擬似SRAMのロウアクセスの動作例を示すタイミング図。

【図15】本発明の第4の実施形態に係る擬似SRAMのカラムアクセスの動作例を示すタイミング図。

【図16】本発明の第4の実施形態の変形例に係る擬似SRAMのメモリコア部に用いられているTC並列ユニット直列接続型FeRAMセルの1ユニット分の等価回路およびそ\*

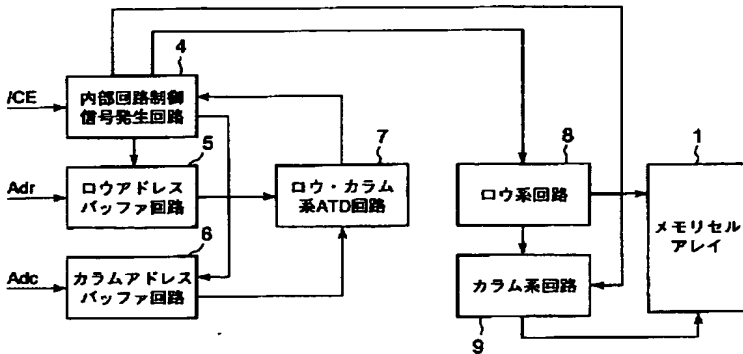
16

\*の動作波形を示す図。

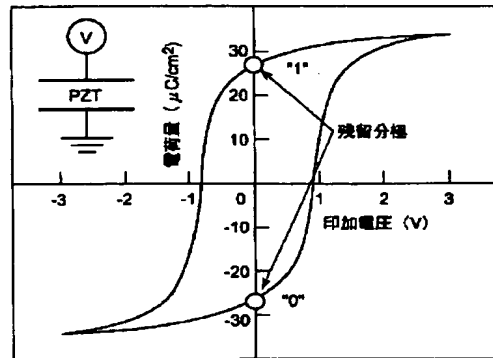
【符号の説明】

- 1 …メモリセルアレイ、
- 4 …内部回路制御信号発生回路、
- 5 …ロウアドレスバッファ回路、
- 6 …カラムアドレスバッファ回路、
- 7 …ロウ・カラム系ATD回路
- 8 …ロウ系回路、
- 9 …カラム系回路。

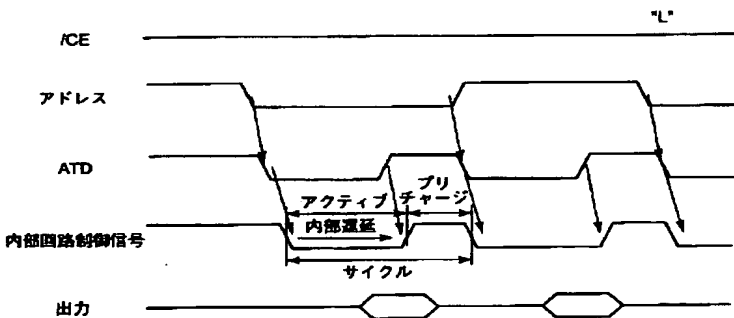
【図1】



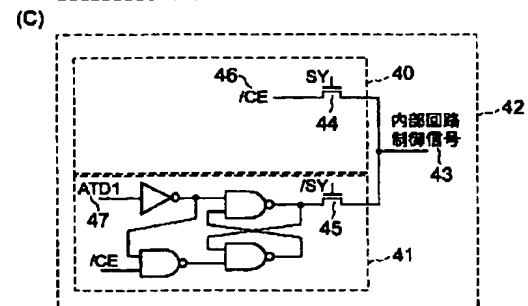
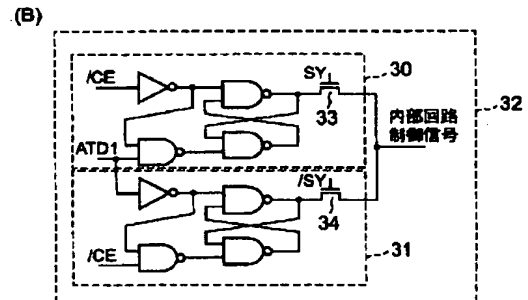
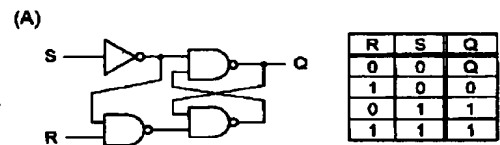
【図13】



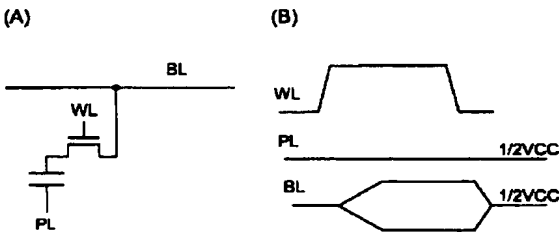
【図2】



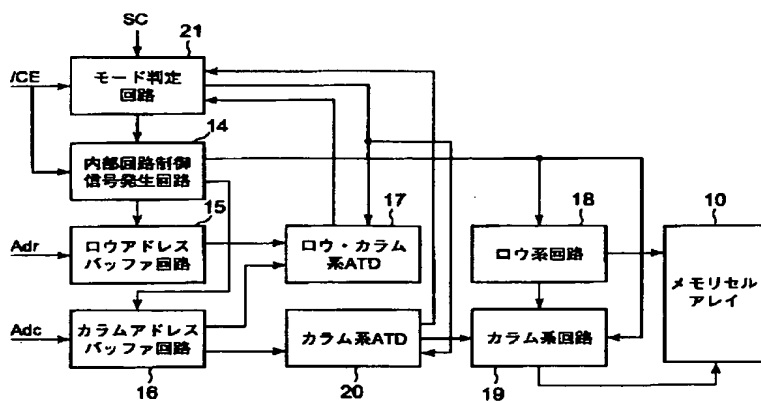
【図10】



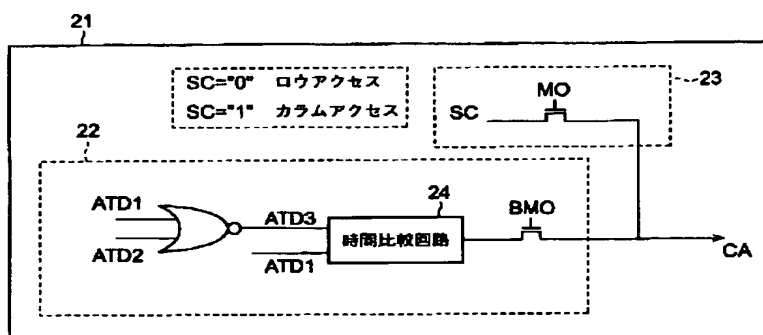
【図11】



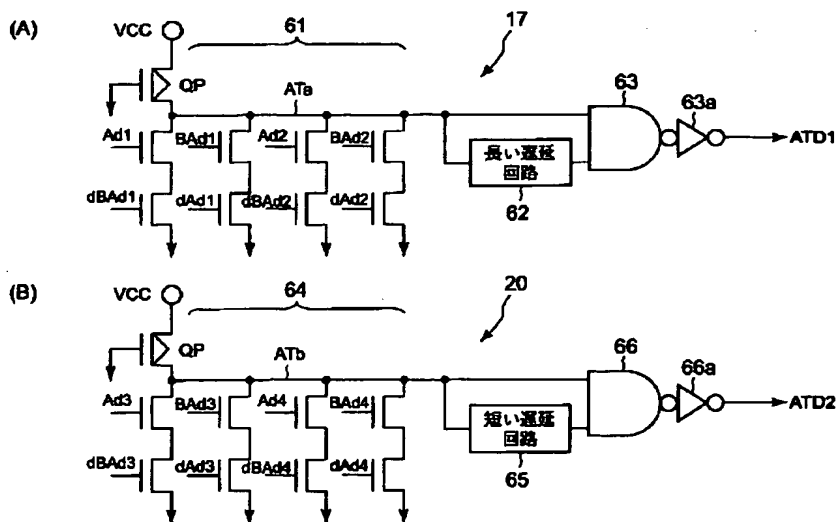
【図3】



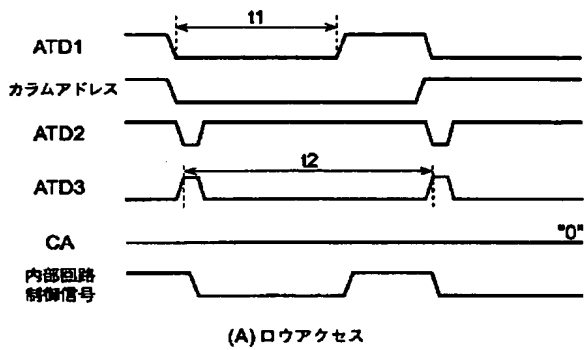
【図4】



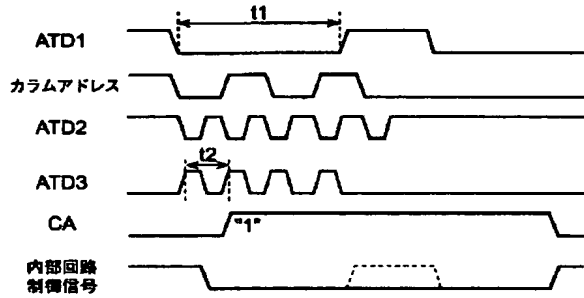
【図6】



【図5】

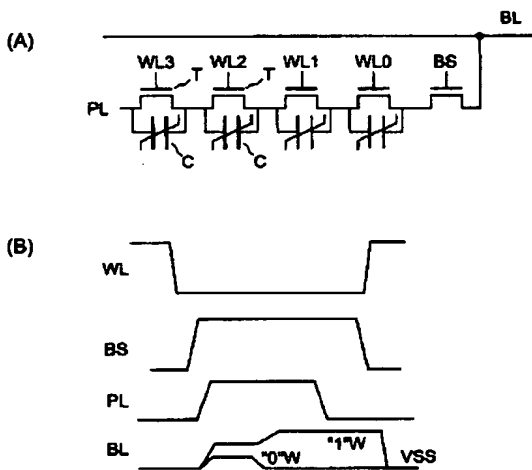


(A) ロウアクセス

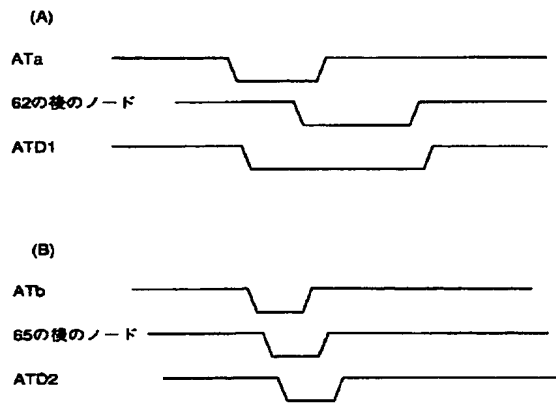


(B) カラムアクセス

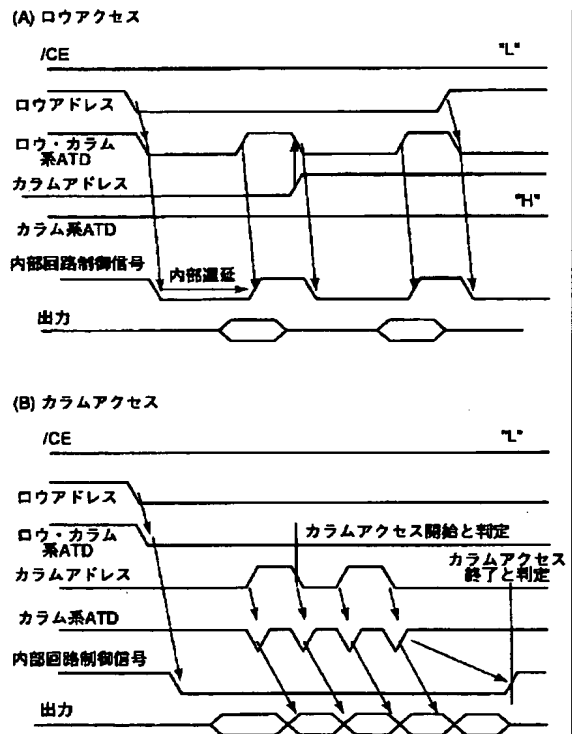
【図16】



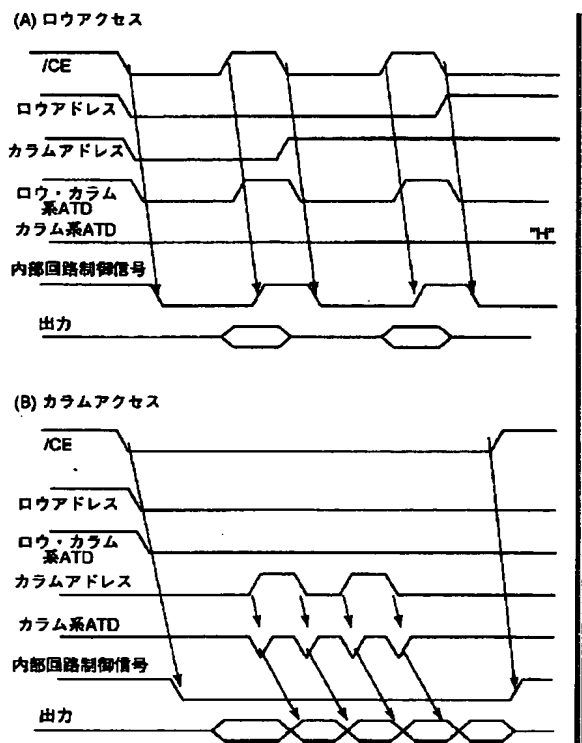
【図7】



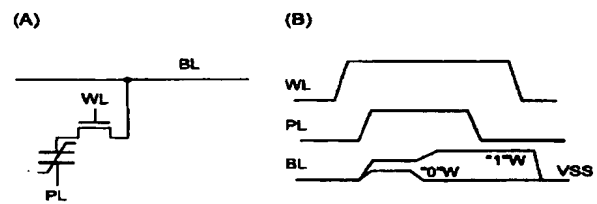
【図8】



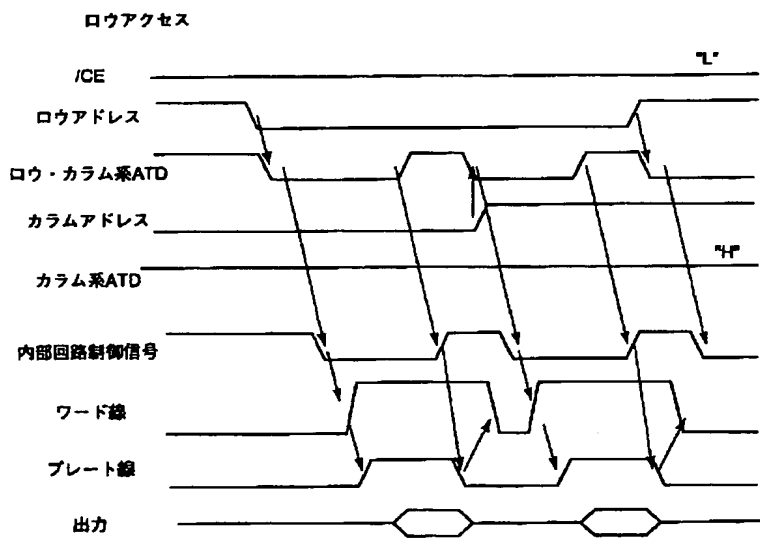
【図9】



【図12】



【図14】



【図15】

